

```
print out
```

Patent/Publication No. 497250

| | |
|-------|--|
| Title | Method for implementing resistance, capacitance and/or inductance in an integrated circuit |
|-------|--|

Publication Date 2002/08/01

Application Date 2000/06/09

Application No. 089111348

Certification Number 160557

IPC H01L-027/04

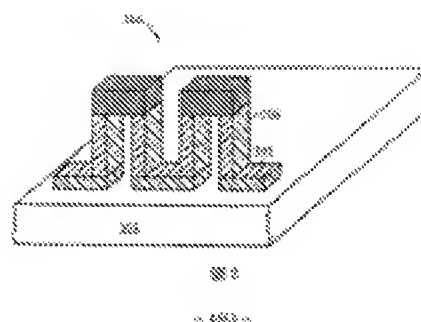
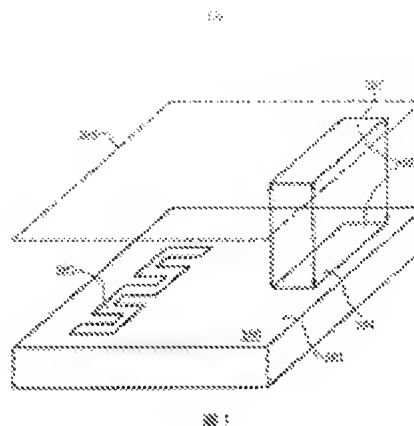
Inventor HUANG, CHI-JUNG TW;
PENG, CAI JUN SG;
LI, KEN-MING TW

Applicant S3 INCORPORATED US

Priority Number 19990611 US19990330788

Abstract

On-chip resistance, capacitance and/or inductance is implemented in an integrated circuit in vertical configurations using stacked vias and medullization layers within the integrated circuit. Column shaped openings or vias are formed within the integrated circuit and connect from a silicon substrate to various metal traces. The vias are filled with conductive material such as platinum or tungsten. Parallel vias are used to form capacitance, while multiple vias and metal traces are arranged in



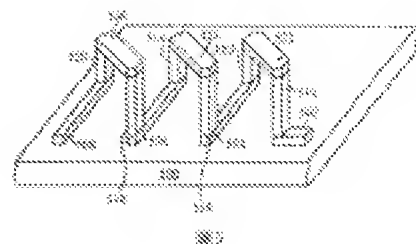
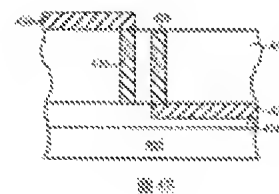
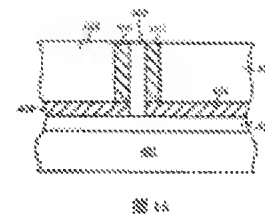
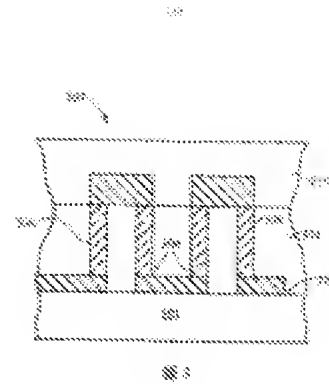
various patterns over several planes in order to form resistance an/or inductance. The use of the stacked vias and metal traces in a vertical fashion reduces lateral spacing required to implement on-chip resistance, capacitance and/or inductance and allows for more efficient use of space in very large scale integration.

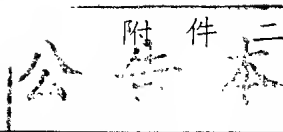
Individual

F

Patent Right Change

| | |
|----------------------------|-----------|
| Application Number | 089111348 |
| Date of Update | 20090827 |
| Licensing Note | No |
| Mortgage Note | No |
| Transfer Note | Yes |
| Succession Note | No |
| Trust Note | No |
| Opposition Note | No |
| Invalidation Note | No |
| Cessation Note | |
| Revocation Note | |
| Issue date of patent right | 20020801 |
| Patent expiry date | 20200608 |
| Maintenance fee due | 20100731 |
| Years of annuity paid | 008 |





附件二：第 89111348 號專利申請案中文說明書修正本
(含申請專利範圍)

民國 91 年 2 月修正

| | |
|------|--------------|
| 申請日期 | 89 年 6 月 9 日 |
| 案 號 | 89111348 |
| 類 別 | 497250 |

91年2月6日修正/更正/補充
C4

497250

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|---------------|--|
| 一、發明 名稱 | 中 文 | 在積體電路中實施電阻、電容及／或電感之方法 |
| | 英 文 | Method for implementing resistance, capacitance and/or inductance in an integrated circuit |
| 二、發明 創作人 | 姓 名 | (1) 黃啓榮 Huang, Chi-Jung (2) 彭凱君 Peng, Cai Jun (3) 李耿民 Li, Ken Ming |
| | 國 籍 | (1) 中華民國 (2) 新加坡 (3) 中華民國 |
| | 住、居所 | (1) 美國加州沙拉土加莊園大道二〇一五七號 20157 Chateau Drive, Saratoga, CA 95070, U.S.A. (2) 美國加州卡波提諾艾倫達街二〇九一一號 20911 Elenda Drive, Cupertino, CA 95014, U.S.A. (3) 美國加州聖塔克拉瑞諾里丹大道三四五四號 3454 Notre Dame Drive, Santa Clara, CA 95051-1517, U.S.A. |
| | 姓 名 (名稱) | (1) S 3 公司 S3 Incorporated |
| 三、申請人 | 國 籍 | (1) 美國 |
| | 住、居所 (事務所) | (1) 美國加州聖塔卡拉米森大學林茵大道二八四一號 2841 Mission College Boulevard, Santa Clara, California 95052-8058, U.S.A. |
| | 代 表 人 姓 名 | (1) 瓦特·雅馬哈 Amaral, Walter D. |

裝

訂

線

(由本局填寫)

| |
|-----------|
| 承辦人代碼： |
| 大 類： |
| I P C 分類： |

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國

1999 年 6 月 11 日 09/330,788

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱： 在積體電路中實施電阻、電容及/或電感之方法)

使用積體電路內的堆疊通道及骨髓化層，在積體電路上以垂直的架構，來實施晶片上的電阻、電容及/或電感。在積體電路內形成柱形的開孔或通道，並從矽基底連接到各金屬絲。通道內填充導電材料，如鉑或鎢。平行的通道用來形成電容，在數個平面的複數個通道及金屬絲排列成不同的圖案，以形成電阻及/或電感。以垂直方式使用堆疊通道及金屬絲，將可減少實施晶片上電阻、電容及/或電感所需的側向空間，並允許更有效率地使用超大型整合的空間。

英文發明摘要(發明之名稱：)

Method for implementing resistance, capacitance and/or inductance in an integrated circuit

On-chip resistance, capacitance and/or inductance is implemented in an integrated circuit in vertical configurations using stacked vias and medullization layers within the integrated circuit. Column shaped openings or vias are formed within the integrated circuit and connect from a silicon substrate to various metal traces. The vias are filled with conductive material such as platinum or tungsten. Parallel vias are used to form capacitance, while multiple vias and metal traces are arranged in various patterns over several planes in order to form resistance an/or inductance. The use of the stacked vias and metal traces in a vertical fashion reduces lateral spacing required to implement on-chip resistance, capacitance and/or inductance and allows for more efficient use of space in verr large scale integration.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明領域

廣義而言，本發明與積體的半導體電路有關。更明確地說，本發明與在積體電路中使用垂直的堆疊導孔及互連實施電阻器、電容器及電感器的晶片上方法有關。

發明背景

積體電路，有時稱為晶片、I C、或半導體裝置，是電晶體及其它微觀組件按照電氣互連所規劃成的一幅錯綜複雜的微觀圖。形成在矽基底上的電晶體及其它微觀組件典型上是在半導體基底上一層接一層地形成並電氣互連。

使用習知的半導體製造技術，在矽基底上製造半導體元件及其它裝置。接著，電晶體以互連連接，這些互連可以是複矽及金屬。結合這些電晶體與互連，即在矽基底上構成積體電路。典型上，積體電路包括複數個電氣互連，它們排列成圖案。通常，由於受到空間需求的限制，此圖案需要重疊導電絲。在單一的平表面上不可能實施此導電絲圖案，因此，按需要將導電層配置成重疊的圖案，並以絕緣層隔離。

典型上金屬層是由鋁或鋁複合物所組成，做為形成在矽基底上之組件間的電氣互連。這些金屬層與其它形成在矽基底上的導電層及裝置間，以層間介電隔離 (I L D) 層隔離。典型上，此 I L D 層包括二氧化矽。

金屬層經由導電孔相互連接，並連接到矽基底上的區域，這些孔是垂直形成在基底上，通常稱為“導孔”。這

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (2)

些導孔是微觀的柱形開孔，形成它們用來連接不同層上的金屬。在導孔中填充導電材料，例如鋁或耐高溫金屬，如鎢。最外層再使用化學氣相沈積技術形成鈍態層，是製造積體電路的習知技術。

在電路中通常都需要電阻、電容及／或電感，積體電路也不例外。在積體電路中，這些電阻器或電容器可以製造在晶片上，或是提供晶片外的電阻器、電容器及電感器。在某種程度，電感可以製造在習用的積體電路上，電感與單導電絲四周所建立的場有關。

圖 1 顯示習知積體電路的平面概圖，其中包括電阻器 202 及電容器 208。積體電路包括矽基底 200，在其上有許多裝置（未顯示）。要形成電阻器 202，可以形成一圖案，圖案的大小與結構的面電阻有關，它的習用單位是歐姆／平方（ Ω/\square ），代表結構的電阻。因此，此圖案的電阻直接正比於導電絲的長度或導電絲中的平方數。視所要的電阻結構而定，它可以使用金屬、摻雜矽或摻雜複矽，並使用半導體製造技術中習知的技術製造。不過，薄片電阻使電阻器所能達到的電阻值只在百歐姆的範圍，電阻愈高，所需的圖案長度也愈長。實施高值電阻器的水平蛇形圖案需要很大的面積，這對積體電路而言是一實際的限制。

在習知技術中，電容器 208 的實施如圖 1 中的兩平行平面 201 及 205 所示。每一個平面 201 及 205 中包括一金屬化的層或表面 204 及 207。金屬 204

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (3)

與 2 0 7 被一絕緣體隔開。電容器 2 0 8 的範圍通常是從 1 n F 到 1 0 0 n F，或許需佔用 1 . 5 乘 2 . 5 毫米的面積，不過，如吾人所熟知，實際的值是平行板 2 0 4 及 2 0 7 之面積與相互間相對距離的函數。在典型的積體電路製程中，平行金屬層間的距離大約是 1 . 5 微米。由於平板電容器的電容直接正比於板的大小且反比於兩板間的距離，設計較大的電容將需要較大的平行金屬板，同樣地，這在空間有限的積體電路上也很難實施。

電阻器與電容器的設計最好是按圖 1 所示之完全平面化的方式。設計在水平面上的各個元件，需要空間以將這些元件配置在平面上。因此，這些晶片上的電阻器與電容器需要使用積體電路內相當大的空間。在複雜的積體電路中，例如超大型積體電路 (V L S I)，經常很難達到最大的空間使用效率。因此，需要一種在積體電路內實施電阻及／或電容方法，同時能使積體電路內的空間使用效率最大化。

此外，在積體電路內實施電感器的習知技術受到嚴重限制。典型上，得到電感的方法是在積體電路外部安裝獨立的電感器線圈，以金屬引線將電感器連接到積體電路內。或者，在矽基底上的一個平面上實施厚短的骨髓化層，以在積體電路內模擬電阻與電感的特性。不幸的是，無論是那一種方法都無法在積體電路內提供有效的電感器。因此，吾人進一步的需求是在積體電路內設計電感更有效率的方法，同時使實施此種設計所需的空間最小化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

發明概述

本發明的方法是在積體電路內，使用堆疊導孔及金屬層垂直實施晶片上的電阻、電容及／或電感。形成在積體電路內的柱形開孔或導孔，從矽基底連接到各金屬絲。導孔內填充導電材料，如鎢。平行的導孔用來形成電容，多個導孔與在數個平面上排列成各種圖案的金屬絲構成電阻及／或電感。以垂直方式使用堆疊導孔與金屬絲，將可減少在晶片上實施電阻、電容及／或電感所需的側向空間，並允許更有效率地使用超大型積體中的空間。

從以下配合附圖對較佳實施例所做的更詳細說明中，將可明瞭本發明的其它特徵及優點。

圖式簡單說明

圖 1 顯示習知技術之積體電路中，使用積體電路的兩金屬層實施習知電阻器及電容器的平面圖。

圖 2 顯示按照本發明之較佳實施例，在部分積體電路中之電阻器的等角視圖。

圖 3 顯示圖 2 之結構的剖面圖。

圖 4 A 顯示按照本發明之積體電路內之電容器的剖面圖。

圖 4 B 顯示按照本發明之另一實施例之積體電路內之電容器的剖面圖。

圖 5 顯示在積體電路中使用多堆疊導孔及金屬層排列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

成垂直繞組圖案以實施電感的較佳實施例。

主要元件對照表

| | |
|-------|----------|
| 2 0 2 | 電阻器 |
| 2 0 8 | 電容器 |
| 2 0 1 | 平面 |
| 2 0 5 | 平面 |
| 2 0 4 | 金屬層 |
| 2 0 7 | 金屬層 |
| 3 0 1 | 基底 |
| 3 0 0 | 積體電路 |
| 3 0 2 | 不連續的導電元件 |
| 3 0 4 | 絕緣層 |
| 3 0 6 | 導孔 |
| 3 0 8 | 不連續的導電元件 |
| 3 1 0 | 絕緣層 |
| 4 0 1 | 矽基底 |
| 4 0 4 | 導電絲 |
| 4 0 6 | 絕緣層 |
| 4 1 0 | 導孔 |
| 4 2 0 | 矽基底 |
| 4 2 2 | 導電絲 |
| 4 2 6 | 絕緣層 |
| 4 2 8 | 導孔 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (6)

| | |
|-------|----------|
| 4 3 0 | 導孔 |
| 5 0 0 | 基底 |
| 5 0 2 | 不連續的導電元件 |
| 5 0 4 | 不連續的導電元件 |
| 5 0 6 | 不連續的導電元件 |
| 5 0 8 | 不連續的導電元件 |
| 5 1 0 | 導孔 |
| 5 1 2 | 導孔 |
| 5 1 4 | 導孔 |
| 5 1 6 | 導孔 |
| 5 1 8 | 導孔 |
| 5 2 0 | 導孔 |
| 5 2 2 | 不連續的導電元件 |
| 5 2 4 | 不連續的導電元件 |
| 5 2 6 | 不連續的導電元件 |

較佳實施例詳細說明

圖 2 描繪兩金屬層積體電路的等角視圖，該積體電路中結合在積體電路內使用多層導電層與導孔實施電阻的方法。圖 3 顯示圖 2 之結構的剖面圖。以下的描述將同時參考圖 2 及圖 3。一般來說，在使用本發明的技術形成電阻器前，在基底 3 0 1 已形成有一或多個裝置。這些裝置以及形成它們的方法非本發明的重點，在此不予討論。

包括基底 3 0 1 的積體電路 3 0 0 通常是使用矽形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

。形成這些裝置的方法是在矽基底 3 0 1 上結合多層的複矽材料層，所使用的技術都是製造積體電路的習知技術。在基底 3 0 1 的平面上形成一層導電層，遮罩並蝕刻成一連串不連續的導電元件 3 0 2，不連續的導電元件 3 0 2 可以使用任何導電材料形成，包括摻雜的複矽、鋁、鋁合金或導電金屬。形成一絕緣層 3 0 4 包住不連續的導電元件 3 0 2。在適當的位置貫穿絕緣層形成接觸孔，使用習知技術在開孔中形成導孔 3 0 6。形成導孔的材料以鎢或鎢合金為佳。導孔 3 0 6 與不連續的導電元件 3 0 2 的各端點電氣接觸。

接下來使用習知技術整平所得到的結構。之後，形成第二導電層，在導孔 3 0 6 上遮罩並蝕刻以形成一連串第二不連續的導電元件 3 0 8。不連續的導電元件 3 0 8 可以使用任何導電材料形成，包括摻雜的複矽、鋁、鋁合金或導電金屬。形成一絕緣層 3 1 0 包住不連續的導電元件 3 0 8。不連續的導電元件 3 0 8 與導孔 3 0 6 的上端電氣接觸。如此，不連續的導電元件 3 0 2、導孔 3 0 6 以及不連續的導電元件 3 0 8 電氣連接成一串聯路徑。

該路徑形成一垂直的蛇形圖案。熟悉此方面技術的一般人士都瞭解，導孔與導電絲間接觸的電阻要大於導電絲或導孔之材料的電阻。連接兩不同金屬物質可使電阻增加。因此，路徑中的電阻等於每一個不連續導電元件 3 0 2 的電阻（以各自的幾何形狀乘以 Ω/\square 計算），加上每一個導孔的電阻（以各自的幾何形狀乘以 Ω/\square 計算），加上每

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (8)

一個不連續的導電元件 3 0 8 的電阻 (以各自的幾何形狀乘以 Ω/\square 計算) , 再加上接觸電阻。在較佳實施例中, 導孔 3 0 6 間相隔的距離大約 0 . 5 微米。因此, 使用堆疊導孔形成一垂直的蛇形圖案可在積體電路內實施電阻器, 且不需要太大的側向空間。因此, 在積體電路中不需增加空間即可得到較高的電阻。此外, 熟悉此方面技術的一般人士都應瞭解, 使用 2 層以上的導電互連結構將可更增加電阻, 每一個垂直結構都可形成多個導孔互連多層的導電層, 並不偏離本發明的精神與範圍。

圖 4 A 顯示按照本發明之積體電路內之電容器的剖面圖。積體電路是形成在矽基底 4 0 1 上。導電絲 4 0 4 形成在基底上, 一般是形成在絕緣層 4 0 6 上。導電絲 4 0 4 以鋁或鋁合金為佳。絕緣層 4 0 8 形成在導電絲 4 0 4 上。貫穿絕緣層形成一開孔, 在孔內形成導孔 4 1 0 與導電絲電氣接觸, 每一個導電絲 4 0 4 與一個導孔 4 1 0 接觸。導孔 4 1 0 以鎢或鎢合金為佳。導孔 4 1 0 被架構成垂直於圖 4 A 之繪圖平面延伸, 因此, 兩導電絲 4 1 0 相互面對的面積可以很大, 然而所使用的積體電路表面積卻很小。

圖 4 B 顯示按照本發明另一實施例之積體電路內之電容器的剖面圖。積體電路是形成在矽基底 4 2 0 上。導電絲 4 2 2 形成在基底上, 一般是在絕緣層 4 2 4 上。導電絲 4 2 2 以鋁或鋁合金為佳。絕緣層 4 2 6 形成在導電絲 4 2 2 上。貫穿絕緣層形成一開孔, 並在開孔中形成導孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

4 2 8 與 4 3 0 。其中一個導孔 4 2 8 與導電絲 4 2 2 電氣接觸。整平上表面，並形成第二導電絲 4 3 0 與另一導孔 4 3 0 電氣接觸。導孔 4 2 8 與 4 3 0 以鎢或鎢合金為佳。導孔 4 2 8 與 4 3 0 被架構成垂直於圖 4 B 之繪圖平面延伸，因此，兩導電絲 4 1 0 相互面對的面積可以很大，然而所使用的積體電路表面積卻很小。熟悉此方面技術的一般人士都應瞭解，使用 2 層以上的導電互連結構將可更增加電容，每一個垂直結構都可形成多個導孔互連多層的導電層，並不偏離本發明的精神與範圍。

圖 5 是按照本發明之方法在積體電路內實施電感的部分等角視圖。如習知技術，電感器是由導電線圈所構成。圖 5 的結構包括一 3 圈的線圈。圖 5 所顯示的線圈被拉長，以便有助於瞭解。須瞭解，實際的電感器是一密集的“線圈”以增強電感。

電感器是形成在基底 5 0 0 上。形成一層導電層，遮罩並蝕刻成複數個不連續的導電元件 5 0 2、5 0 4、5 0 6、5 0 8。導電元件 5 0 2 到 5 0 8 以使用鋁或鋁合金為佳。在導電元件上形成一絕緣層（未顯示）。開孔貫穿絕緣層，並在孔中形成導孔 5 1 0、5 1 2、5 1 4、5 1 6、5 1 8、5 2 0。導孔 5 1 0 到 5 2 0 的材料以鎢或鎢合金為佳。整平所得到的結構，再形成另一導電層，遮罩並蝕刻成複數個不連續的導電元件 5 2 2、5 2 4、5 2 6。導電元件 5 0 2 到 5 0 8 以使用鋁或鋁合金為佳。導電元件 5 0 2 可視為電感器線圈的第一端。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (10)

導孔 5 1 0 的下端電氣耦合到導電元件 5 0 2。實際上，導電元件 5 0 2 也耦合到積體電路上的其它電路，但在圖中未顯示，以免無關的細節混淆了本發明。導孔 5 1 0 的上端電氣耦合到導電元件 5 2 2 的第一端。導電元件 5 2 2 的第二端電氣耦合到導孔 5 1 2 的上端。導孔 5 1 2 的下端電氣耦合到導電元件 5 0 4 的第一端。導電元件 5 0 4 的第二端耦合到導孔 5 1 4 的下端。導孔 5 1 4 的上端電氣耦合到導電元件 5 2 4 的第一端。導電元件 5 2 4 的第二端電氣耦合到導孔 5 1 6 的上端。導孔 5 1 6 的下端電氣耦合到導電元件 5 0 6 的第一端。導電元件 5 0 6 的第二端耦合到導孔 5 1 8 的下端。導孔 5 1 8 的上端電氣耦合到導電元件 5 2 6 的第一端。導電元件 5 2 6 的第二端電氣耦合到導孔 5 2 0 的上端。導孔 5 2 0 的上端電氣耦合到導電元件 5 0 8 的第一端。導電元件 5 0 8 的第二端是電感器線圈的第二端。因此，在積體電路上可以實施多環路的電感器，且不需要太大的側向空間。

本發明在晶片上實施電阻、電容及／或電感（R L C）的方法，所使用積體電路內的側向空間小，也不需要複雜的配置設計或大堆的電路來實施。因此，在積體電路內設計電阻、電容及／或電感，本發明的方法是一卓越的技術，同時，在積體電路內使用的側向空間也小。

雖然本發明是以特定的實施例描述，例如特定的材料、空間、製造技術，以及使用兩對導電導孔實施電容，但

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (11)

熟悉此方面技術之人士應瞭解，選擇特定的實施例是爲了說明，它可做很多修改，不會偏離所附申請專利範圍中所宣告的精神與範圍。例如，在積體電路內的各層間可以使用多個導電導孔，以多於 3 層的金屬層來完成電阻、電容或電感。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 1 . 一種在積體電路內的電阻器，包括：
 - a . 實質平面的基底；
 - b . 複數個第一導電元件，形成在基底上的第一平面內；
 - c . 複數個第二導電元件，形成在基底上的第二平面內；及
 - d . 複數個導電導孔，每一個都形成並電氣連接於第一平面內之第一導電元件其中之一與第二平面內之第二導電元件其中之一之間，以構成一阻抗路徑，該路徑來回於第一平面與第二平面間。
- 2 . 一種在積體電路內的電容器，包括：
 - a . 實質平面的基底；
 - b . 一對導電絲，形成在基底上的平面內；以及
 - c . 一對平行的導電導孔，與基底垂直，其中，每一導電導孔與導電絲其中之一電氣連接，以使電容形成於導孔之間。
- 3 . 一種在積體電路內的電感器，包括：
 - a . 實質平面的基底；
 - b . 複數個第一導電元件，形成在基底上的第一平面內；
 - c . 複數個第二導電元件，形成在基底上的第二平面內；以及
 - d . 複數個導電導孔排成2排垂直於基底，每一個導孔都形成並電氣連接於第一平面內之第一導電元件其中之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一與第二平面內之第二導電元件其中之一之間，以構成一阻抗路徑，該路徑來回於第一平面與第二平面間，此外，它形成一實質的螺旋形線圈。

4．一種在積體電路中形成電阻器的方法，其步驟包括：

- a．提供一基底；
- b．在基底上形成至少一層金屬層，並以介電層與基底隔開；
- c．以第一導孔將基底上之電阻器的開始點連接到金屬層上的第一點；以及
- d．將第二導孔將金屬層上的第二點連接到基底上之電阻器的尾端。

5．如申請專利範圍第4項之形成電阻器的方法，其中的金屬層包括鋁。

6．如申請專利範圍第4項之形成電阻器的方法，其中第一導孔與第二導孔包括鎢。

7．一種在積體電路中形成電容器的方法，其步驟包括：

- a．提供一實質平面的基底；
- b．形成兩個實質平面且平行的導電導孔，且垂直於基底；以及
- c．將每一個導孔耦合到一電氣信號。

8．一種在積體電路中形成電容器的方法，其步驟包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- a . 提供一基底；
 - b . 在基底上形成至少一層金屬層，並以介電層與基底隔開；
 - c . 以第一導孔將基底上之電容器的開始點連接到金屬層上的第一點；以及
 - d . 以第二導孔將金屬層上的第二點連接到基底上之電容器的尾端點。
- 9 . 如申請專利範圍第 8 項之形成電容器的方法，其中的金屬層包括鋁。
- 10 . 如申請專利範圍第 8 項之形成電容器的方法，其中第一導孔及第二導孔包括鎢。
- 11 . 一種在積體電路中形成電感的方法，在一實質平面的基底上，使用複數個互連導孔與金屬層，形成成線圈之繞組圖案，其軸與基底平面平行，其中，複數個導孔中的第一組水平堆疊並經由複數個金屬層的第一群連接，以及複數個導孔中的第二組水平堆疊並經由複數個金屬層的第二群連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

89 111348

1/5

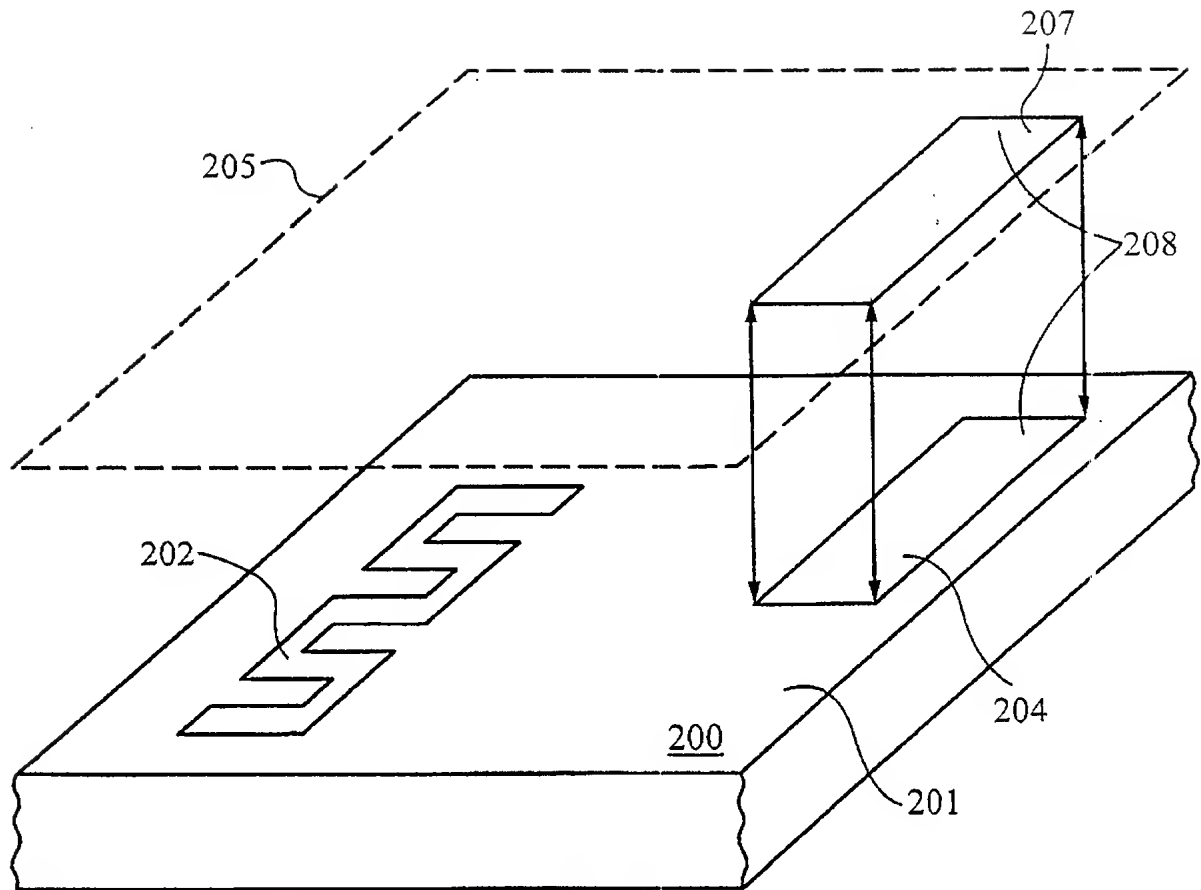


圖 1 (習知技藝)

2/5

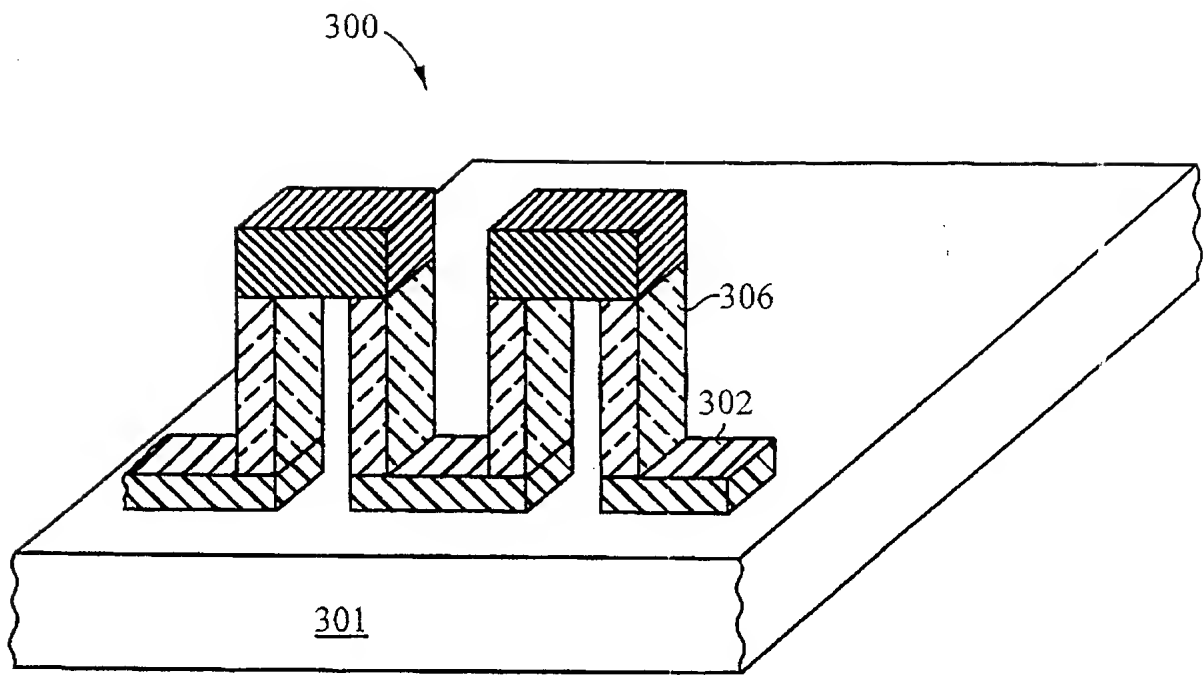


圖 2

3/5

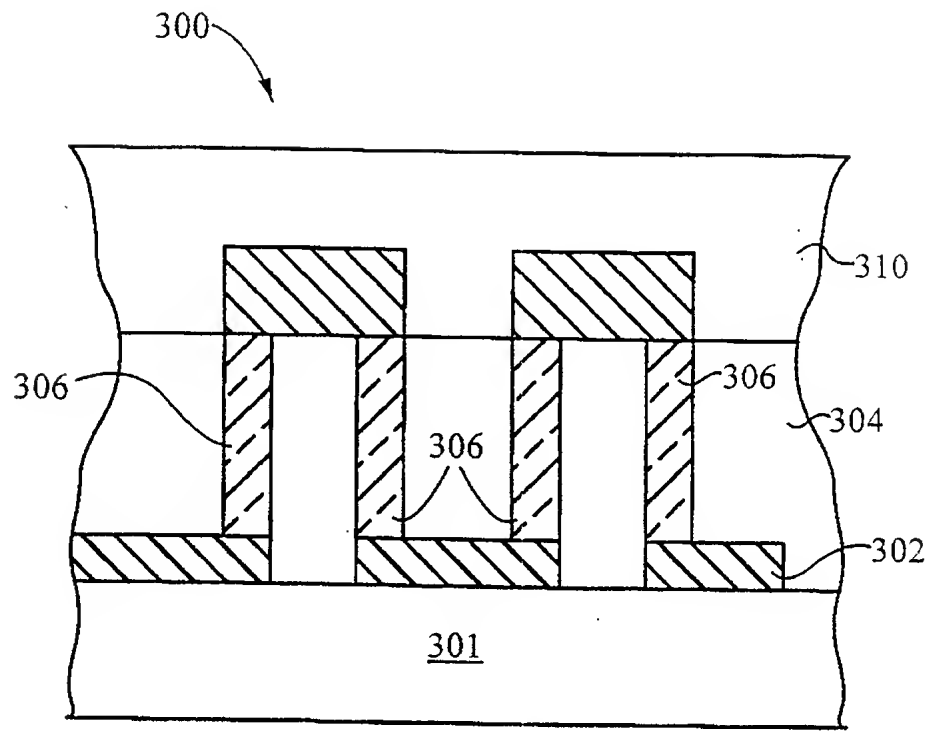


圖 3

4/5

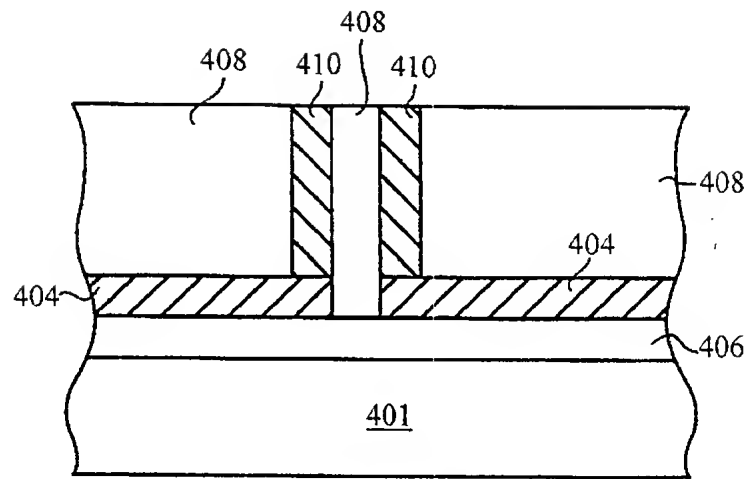


圖 4A

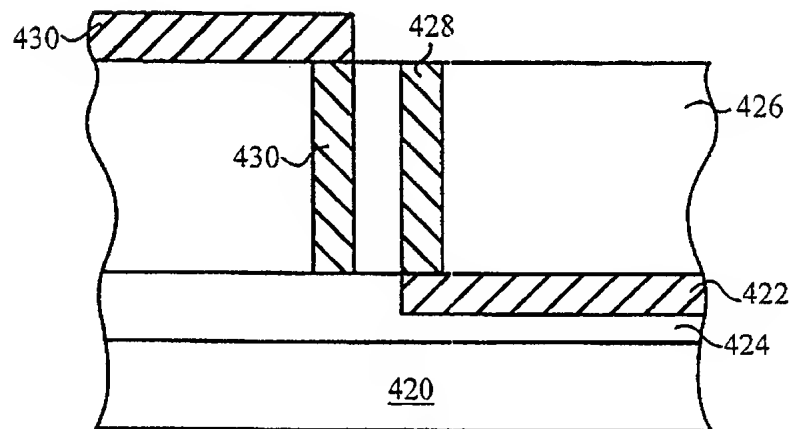


圖 4B

5/5

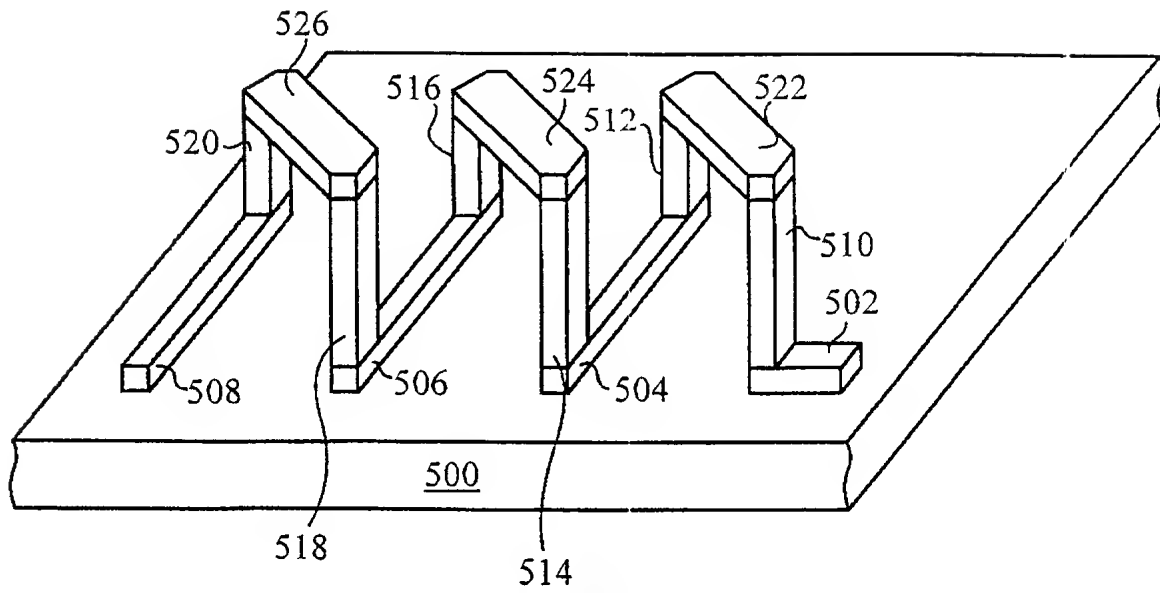


圖 5